

(19)



JAPANESE PATENT OFFICE

(5)

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 04002234 A

(43) Date of publication of application: 07.01.92

(51) Int. Cl
H04J 3/06
H03M 5/00
H04L 7/08
H04L 25/49

(21) Application number: 02103569

(71) Applicant: FUJITSU LTD

(22) Date of filing: 19.04.90

(72) Inventor: YOSHIDA HIROSHI

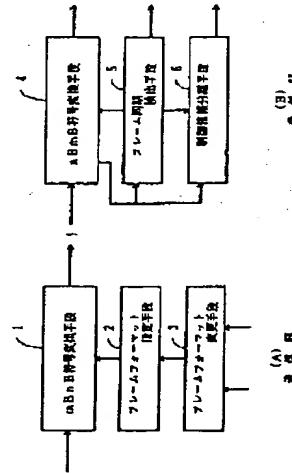
(54) FRAME SYNCHRONIZING SYSTEM

(57) Abstract:

PURPOSE: To shorten the synchronization restoration time by revising the frame format of information to be sent depending on the synchronizing state at a reception side, adding synchronous information in the synchronizing state and increasing and sending the synchronous information to be added in the asynchronizing state.

CONSTITUTION: When information to be sent is inputted to an mBnB conversion means 1, a frame pattern revising means 3 selects a frame format of transmission information according to the synchronous state of an opposite station and outputs the result to a frame format designation means 2. The frame format designation means 2 constitutes a frame pattern according to a frame format designated by a frame pattern revising means 3. The mBnB conversion means 1 adds additional information (control information, synchronous information and reception synchronization information, etc.) to the inputted transmission information according to the formed frame format and converts the code so that a marking rate is halved and the result is outputted. Thus, the restoration time from the asynchronous state till the synchronization establishment is shortened.

COPYRIGHT: (C)1992,JPO&Japio



⑪公開特許公報(A)

平4-2234

⑤Int.Cl.⁵H 04 J 3/06
H 03 M 5/00
H 04 L 7/08
25/49

識別記号

庁内整理番号

B 7117-5K
7259-5J
D 8949-5K
A 8627-5K

⑥公開 平成4年(1992)1月7日

審査請求 未請求 請求項の数 3 (全10頁)

⑦発明の名称 フレーム同期方式

⑧特 願 平2-103569

⑨出 願 平2(1990)4月19日

⑩発明者 吉田 洋 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑪出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
⑫代理人 弁理士 井桁 貞一 外2名

明細書

原稿
打正

1 発明の名称

フレーム同期方式

2 特許請求の範囲

1. 送信情報を mB nB 符号変換し、受信情報を nB mB 符号変換することで伝送路上のマーク率を所定値に保つようにした情報伝送システムに於いて、

該送信情報に同期情報、制御情報、受信同期情報等の付加情報を第1のフレームフォーマットに従って挿入し、 mB nB 符号変換を行う mB nB 符号変換手段1と、該 mB nB 符号変換手段1の符号変換に際し、該フレームフォーマットを指定するフレームフォーマット指定手段2と、対向局における非同期状態が検出されたとき、該送信情報の符号変換を第2のフレームフォーマットに変更するフレームフォーマット変更手段3を備えることを特徴とする情報送出方式。

2. 送信情報を mB nB 符号変換し、受信情報を nB mB 符号変換することで伝送路上のマーク

率を所定値に保つようにした情報伝送システムに於いて、

受信情報から該同期情報、制御情報、受信同期情報等の付加情報を分離し、該付加情報の分離された受信情報を同期確立後 nB mB 符号変換する nB mB 符号変換手段4と、該分離された付加情報中の同期情報を入力し、受信情報の同期確立を検出するとともに、自局に置ける受信状態を示す受信同期情報を出力するフレーム同期検出手段5と、該フレーム同期検出手段5にて同期確立後、該受信情報から分離した制御情報等の付加情報を各出力対象の端末に出力する付加情報分離出力手段6を備えることを特徴とする情報受信方式。

3. 送信情報を mB nB 符号変換し、受信情報を nB mB 符号変換することで伝送路上のマーク率を所定値に保つようにした情報伝送システムに於いて、

請求項1記載の情報送出方式にて情報を送出し、請求項2記載の情報受信方式で情報を受信する事で、受信側にて非同期状態が検出された時に、送

信側から送る情報に付加する付加情報を切換えることを特徴とするフレーム同期方式。

3 発明の詳細な説明

(概要)

フレーム同期方式に関し、

通信端末での異常の復旧時又は通信の開始時等の非同期状態から同期確立迄の復帰時間を短縮することを目的とし、

該送信情報に同期情報、制御情報、受信同期情報等の付加情報を第1のフレームフォーマットに従って挿入し、mBnB符号変換を行うmBnB符号変換手段1と、該mBnB符号変換手段1の符号変換に際し、該フレームフォーマットを指定するフレームフォーマット指定手段2と、対向局における非同期状態が検出されたとき、該送信情報の符号変換を第2のフレームフォーマットに変更するフレームフォーマット変更手段3を備える情報送出方式により情報の送出を行い、受信情報から該同期情報、制御情報、受信同期情報等の付

加情報を分離し、接付加情報の分離された受信情報を同期確立後nBmB符号変換するnBmB符号変換手段4と、該分離された付加情報中の同期情報を入力し、受信情報の同期確立を検出するとともに、自局に置ける受信状態を示す受信同期情報を出力するフレーム同期検出手段5と、該フレーム同期検出手段5にて同期確立後、該受信情報から分離した制御情報等の付加情報を各出力対象の端末に出力する付加情報分離出力手段6を備える情報受信方式により信号の受信を行うフレーム同期方式。

(産業上の利用分野)

本発明はフレーム同期方式に関し、特に伝送路上でのマーク率を1/2にする為に送出情報をmBnB符号変換した情報のフレーム同期方式に関する。

近年の信号の送受信を行う場合受信側でのクロックの再生が容易に行なえるように伝送路に送出する情報のマーク率(信号の1と0の比)を1/2

にする事が行われている。また、伝送路の高速化、高品質化に従って、異常復旧後又は通信開始時の同期復旧時間の短縮が重要な課題となってきた。

(従来の技術)

第5図及び第6図に従来の送信部及び受信部の構成を示し、第7図に従来の伝送フレームフォーマットを示す。

以下mBnB符号変換動作として5B6B符号変換を例にとって説明する。

まず送信部の動作として、送信すべき直列データがS/P変換器11に入力される。S/P変換器11では入力された直列データが発振器14にて作成した直列データの動作クロックを分周器15で5分周したクロックAによって5ビットのパラレルデータに変換され、5B6B符号変換回路12に出力される。5B6B符号変換回路12では入力された5ビットの並列データに送信データのマーク率が1/2になるように1又は0の情報

を付加し、6ビットの並列データに変換してP/S変換器13に出力している。P/S変換器13では入力された6ビットの並列データを発振器16にて作成されたクロック動作クロックに従って直列データに変換して出力している。ここで、発振器14と16で作成されたクロックのタイミングは1:1, 2という関係が成り立つ。両発振器14, 16は互いに同期をとる必要があるため、発振器14にて作成した動作クロックを分周器15で5分周したクロックAと、発振器16にて作成した動作クロックを分周器18で6分周したクロックBとをPLL回路17に出力し、動作クロックを位相を同期するように発振器16を制御している。

送信フレームの構成としては第7図(カ)、(キ)、(ク)に示されるように、1フレームが12サブフレームで構成され、1サブフレームが18ワードで構成され、1ワードが6ビットで構成される。

送信情報は第7図(カ)に示されるように18

ワードに1ワードの割合で1か0の付加情報に変わり、受信側における周辺装置の制御情報又は同期情報をオーバーヘッドビット（以下OHBとして説明する。）が付加される。従って1フレーム中に12ビットのOHBが存在し、該OHBの挿入されるタイミングとしては例えば第7図（ク）に示されるようなフォーマットで制御情報と同期情報が挿入される。以下OHBの挿入動作を説明する。

まず、分周器15から出力されたクロックAを更に分周器21にて18分周し、クロックCとしてタイミング生成回路22及びP/S変換器23に出力する。タイミング生成回路では5B6B符号変換回路12にOHBの挿入タイミング信号を出力するとともに、セレクタ24に切替え信号を出力する。一方P/S変換器23では設定されたフレームパターン71にそって制御情報又は同期情報をP/S変換器23を介してセレクタ24に出力している。セレクタ24には5B6B符号変換回路12から付加情報が入力され通常は付加情

報がそのままP/S変換器13に出力され、タイミング生成回路22からの切替え信号により制御情報又は同期情報を選択され、P/S変換器13に出力され、実質的に第7図（ク）に示されるような情報が送出される。

次に受信部の動作としては、まず直列の受信データがS/P変換器41に入力される。S/P変換器41では入力された直列データを発振器44にて作成された直列信号の動作クロックを分周器45にて6分周した動作クロックB'に従って6ビットの並列信号に変換し、6B5B符号変換回路42に出力している。

また、同期検出部81ではS/P変換器41から出力された6ビットの並列信号の内1ビットの値を抜き出し、送信側で設定されたフレームパターン（OHBの挿入タイミング）に従って同期情報のチェックを行う。同期が検出されない場合は順次抜き出すビット位置を変更し同期情報を抜き出してチェックする。そして、例えば同期状態が6回連続検出された時（6段の前方保護）同期確

立と判定し、非同期状態が9回連続検出された時（9段の後方保護）非同期状態と判定する。

同期検出部81にて同期確立が検出された時6B5B符号変換回路42を動作させ、送信側で付加された付加情報及び制御情報を除去し、P/S変換器43に出力している。P/S変換器43では入力された5ビットの並列データを発振器16にて作成されたクロック動作クロックに従って直列データに変換して出力している。

ここで、発振器44と46で作成されたクロックのタイミングは1.2:1という関係が成り立つ。両発振器44、46は互いに同期をとる必要があるため、発振器44にて作成した動作クロックを分周器45で6分周したクロックB'と、発振器46にて作成した動作クロックを分周器47で5分周したクロックA'をPLL回路17に出力し、動作クロックを位相を同期するように発振器46を制御している。

また、同期確立後P/S変換器61にてOHB（制御情報及び、同期情報）を抜き出し、該制御

情報及び、同期情報を夫々対応する周辺装置に出力している。

〔発明が解決しようとする課題〕

以上のような従来のmBnB符号変換においては、異常状態からの復旧時又は通信開始時の非同期状態から同期確立までの復帰要する時間は、1フレーム中に含まれるOHB12ビットの内同期情報は2ビットであり、前方保護段数が例えば6段の時、最悪フレーム同期復帰時間は、以下の計算に示される通りとなる。

$$T_s = \left\{ 1 + \frac{P^r}{1-P^r} (N-r) \right\} T_p$$

$$= \left\{ 1 + \frac{0.5^2}{1-0.5^2} (1296-2) \right\}$$

1926

$$\times \frac{2 \times 167.1168 \times 10^6}{}$$

= 1.68μs

N : フレーム長 (1296ビット)

P : 受信パルス系列が同期パターンと一致する

確率 (1/2)

r : フレームパターンビット数 (2ビット)

Tr : 半フレームパターン検出周期
(1296/2 × 167.1168μs)

即ち、同期復帰に非常に長い時間を必要とするものである。

よって、本発明では通信端末での異常状態からの復旧時又は通信の開始時等の非同期状態から同期確立迄の復帰時間を短縮することを目的としている。

〔課題を解決するための手段〕

第1図に本発明の原理図を示す。まず送信側において、送信すべき情報がmBnB変換手段1に入力される。ここで、フレームパターン変更手段

3にて相手局に於ける同期状態に従って、送信情報のフレームフォーマットを切換えてフレームフォーマット指定手段2に出力し、該フレームフォーマット指定手段2では該フレームパターン変更手段3にて指定されたフレームフォーマットに従ってフレームパターンが構成される。ここで構成されたフレームフォーマットに従ってmBnB変換手段1では入力された送信情報に付加情報（制御情報、同期情報、受信同期情報等）を付加し、マーク率が1/2になるように符号変換して出力する。

次に受信側において、まず受信情報がmBnB変換手段4に入力される。ここで、入力された受信情報中の付加情報（制御情報、同期情報、受信同期情報）がフレーム同期検出手段5に入力され、同期状態の検出が行われるとともに、受信同期情報が出力される。そして同期が確立した後mBnB変換手段4を動作させ入力した情報を符号変換し、付加情報分離出力手段6にて付加情報を周辺装置に出力している。

= 6.31μs

N : フレーム長 (1296ビット)

P : 受信パルス系列が同期パターンと一致する

確率 (1/2)

r : フレームパターンビット数 (11ビット)

Tr : 半フレームパターン検出周期
(1296/2 × 167.1168μs)

〔実施例〕

以下図面に示す実施例に基づいて詳細に説明する。

第1図のmBnB符号変換手段1は第2図のS/P変換器11、5B6B符号変換回路12、P/S変換器13、発振器14、16、分周器15、17、PLL回路18から構成される部分に対応し、第1図のフレームフォーマット指定手段2は第2図の分周器21、タイミング生成回路22、

$$\begin{aligned}
 T_r &= \left\{ 1 + \frac{P^r}{1-P^r} (N-r) \right\} T_r \\
 &= \left\{ 1 + \frac{0.5^{11}}{1-0.5^{11}} 1296-11 \right\} \\
 &\quad \times \frac{1926}{2 \times 167.1168 \times 10^6}
 \end{aligned}$$

P/S変換器23、セレクタ24から構成される部分に対応し、第1図のフレームフォーマット変更手段3は第2図のセレクタ31、第1フレームフォーマット設定部32、第2フレームフォーマット設定部33、ORゲート34から構成される部分に対応し、第1図のnBmB符号変換手段4は第3図のS/P変換器41、6B5B符号変換回路42、P/S変換器43、発振器44、46、分周器45、47、PLL回路48から構成される部分に対応し、第1図のフレーム同期検出手段5は第3図の同期検出部に対応し、第1図の付加情報分離出力手段6は第3図のS/P変換器61に対応している。

第2図に於いて、まず送信動作を説明する。送信すべき情報がS/P変換器11に入力される。S/P変換器11では入力された情報が発振器14にて作成したクロックを分周器15で5分周したクロックAに従って5ビットの並列信号に変換し、5B6B符号変換回路12に出力される。5B6B符号変換回路12では、伝送路上でのマ

ク率を1/2にするように符号変換し、符号変換により6ビットの並列信号となった送信情報をP/S変換器13に出力している。P/S変換器13では入力された情報を発振器16にて作成されたクロックに従って直列信号に変換され出力される。ここで、S/P変換器11とP/S変換器13の動作は同期状態が望ましいが、両発信器14、16にて作成するクロックタイミングは、1:1.2という関係があり、発振器14にて作成したクロックを分周器15(5分周)、発振器16にて作成したクロックを分周器17(6分周)を介してPLL回路18に出力し、位相の同期をとる為に発振器16が制御される。

一方、送信情報のフレームフォーマットとしては第4図(ア)、(イ)、(ウ)に示される通り、1フレームが12サブフレームから構成され、1サブフレームが18ワードで構成され、1ワードが6ビットで構成されている。この1ワードを構成する6ビットの内1ビットは符号変換により付加された1又は0の付加ビットである。このよう

変換器13に出力している。

次に受信動作を説明する。まず受信情報がS/P変換器41に入力される。S/P変換器41では入力された受信情報が従来と同様に発振器44にて作成したクロックを分周器45で6分周したクロックB'に従って5ビットの並列信号に変換され、6B5B符号変換回路42に入力される。6B5B符号変換回路42では入力された6ビットの並列情報から付加情報及び付加ビットを除いて5ビットの元の情報を符号変換し、P/S変換器43に出力する。P/S変換器43では入力された情報を発振器46にて作成したクロックに従って直列信号に変換し出力している。ここで、S/P変換器41とP/S変換器43の動作は同期状態が望ましいが、両発信器44、46にて作成するクロックタイミングは、1.2:1という関係があり、発振器44にて作成したクロックを分周器45(6分周)、発振器46にて作成したクロックを分周器47(5分周)を介してPLL回路48に出力し、位相の同期をとる為に発振器4

6 が制御される。一方、S/P 変換器 4 1 から出力された 6 ビットの並列信号の内 1 ビットの値が同期検出部 8 1 及び S/P 変換器 6 1 に入力される。まず、同期検出部 8 1 では送信側で設定されたフレームパターン (OHB の挿入タイミング) に従って入力された同期情報から同期検出を行い受信同期情報として出力している。ここで同期が検出されない場合は順次抜き出すビット位置を順次変更するようにシフト信号を S/P 変換器 4 1 に出力し同期情報を抜き出してチェックしている。非同期状態が 9 回連続検出された時 (9 段の後方保護) 非同期状態と判定する。次に S/P 変換器 6 1 では同期状態に於いて入力される付加情報である制御情報が送信部分周器 4 5 から入力されるクロック B' に従って順次周辺装置に出力されるとともに、信号送信元の受信同期情報が出力される。

ここで、異常状態からの復旧時又は通信開始時の同期確立動作を説明する。まず送信部では対向する局にに対し、制御情報として第 4 図 (エ) に

$$= \left[1 + \frac{0.5^{11}}{1296-11} \right] \frac{1926}{2 \times 167.1168 \times 10^6} \times = 6.31 \mu s$$

N : フレーム長 (1296 ビット)

P : 受信パルス系列が同期パターンと一致する

確率 (1/2)

r : フレームパターンビット数 (11 ビット)

t_r : 半フレームパターン検出周期
(1296/2 × 167.1168μs)

よって、同期復帰に要する時間は 6.31 μs となる。

そして同期確立後、同期検出回路 5 1 から同期が確立した旨を示す受信同期情報を対をなす送信

示されるようなフレームフォーマットに従って、自局における受信状態を示す受信同期情報 FA 以外の 11 ビットを同期情報として送信側に送信する。対向する局の受信側においては、受信した情報のフレームフォーマット (OHB の挿入タイミング) に従って例えば前方 6 段の同期保護が行なわれ同期情報のチェックが行われる。ここで、非同期状態から同期確立する迄の最悪同期復帰時間は、非同期状態では 1 フレームフォーマットに付加される同期情報が同期状態の 2 ビットに対し 11 ビットされることを考えると、以下の計算に示される通りとなる。

$$T_s = \left[1 + \frac{P^r}{1-P^r} (N-r) \right] T_r$$

部に出力し、自局に受信同期情報として返送される。自局では対をなす受信部からの対向する局に於ける同期状態を示す受信同期情報を入力し、その受信同期情報に従ってセレクタ 3 1 を切り換え、送信情報のフレームフォーマットを第 4 図 (ウ) に示す同期確立時のフォーマットに切り換え、自局に於ける受信状態を示す受信同期情報 FA 付加情報として対向局に送出する。

上記で説明で使用した第 4 図及び第 7 図に示されるフレームフォーマットはあくまでも例である。

尚本実施例に於いては、送信情報に付加する付加情報を対向局に於ける受信状態によって制御情報を同期情報に切り換える事により付加情報に含まれる同期情報のパターンが簡素化され擬似同期引き込み確率も減り、擬似同期検出回路も不要となる。

〔発明の効果〕

以上のように、本発明によれば通信相手の同期状態により送信する付加情報を切り換えるため、

通信開始時、又は異常の復旧時に同期状態に復旧する最悪フレーム同期復帰時間が大幅に短縮できる。

6…付加情報分離出力手段、
である。

代理人 弁理士 井裕 貞 
 代理人 弁理士 林 恒徳 
 代理人 弁理士 土井 健二 

出願人 富士通株式会社

4. 図面の簡単な説明

第1図は本発明の原理図、

第2図は本発明の送信部の一実施例、

第3図は本発明の受信部の一実施例、

第4図は本発明の送受信情報のフレームフォーマットを示す図、

第5図は従来の送信部を示す図、

第6図は従来の受信部を示す図、

第7図は従来の送受信情報のフレームフォーマットを示す図、

図に於いて、

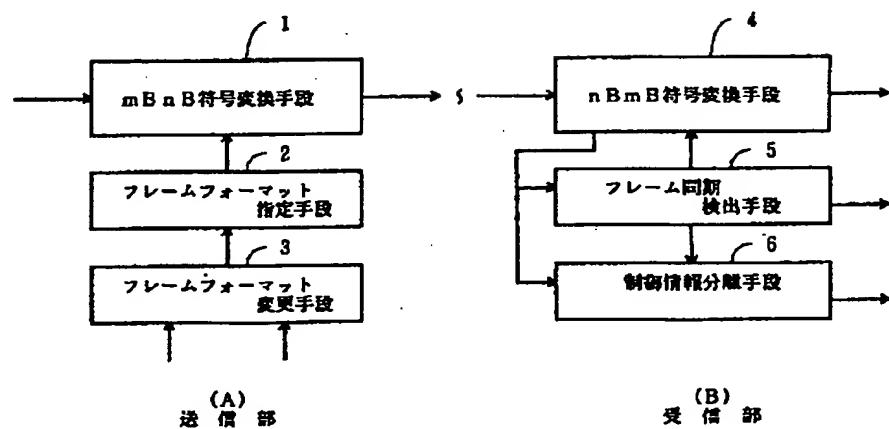
1…mBnB符号変換手段、

2…フレームフォーマット指定手段、

3…フレームフォーマット変更手段、

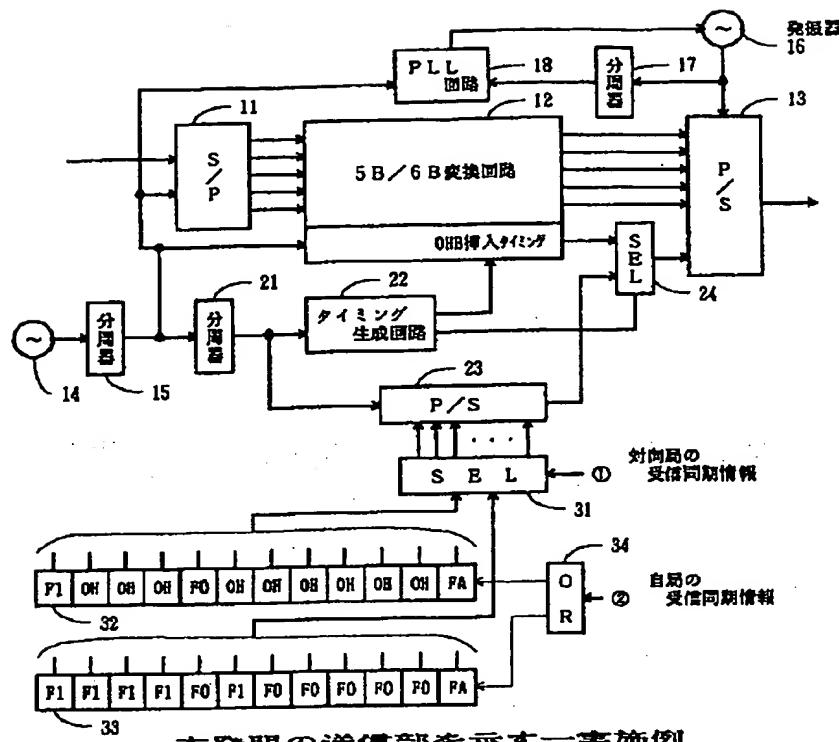
4…nBmB符号変換手段、

5…フレーム同期検出手段、



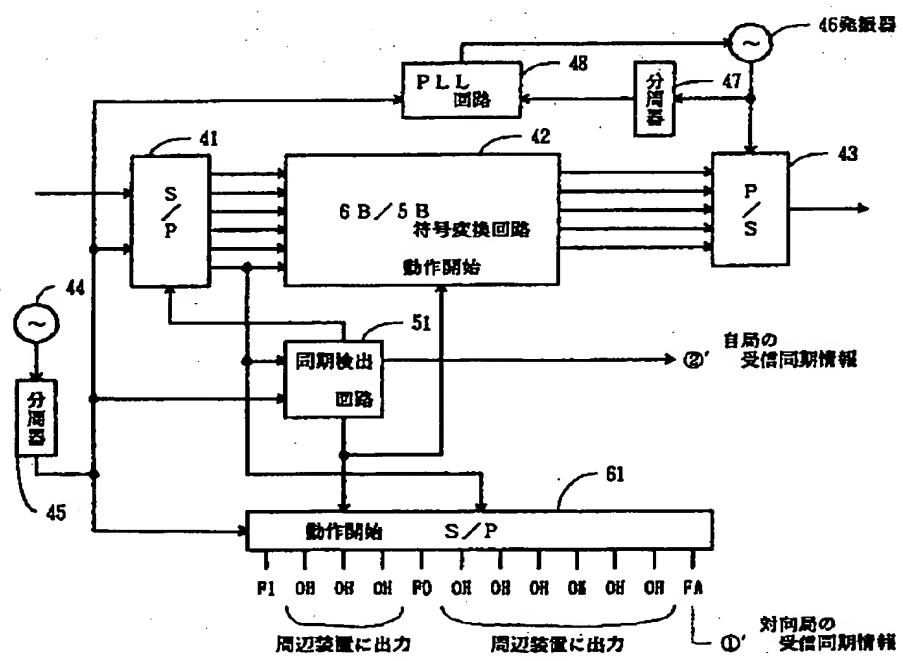
本発明の原理図

第 1 図



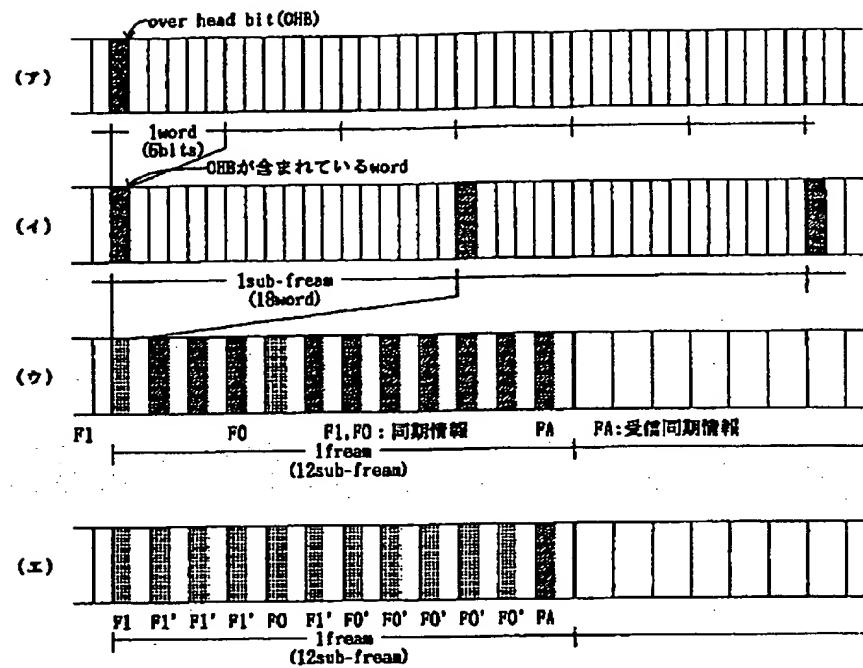
本発明の送信部を示す一実施例

第二回



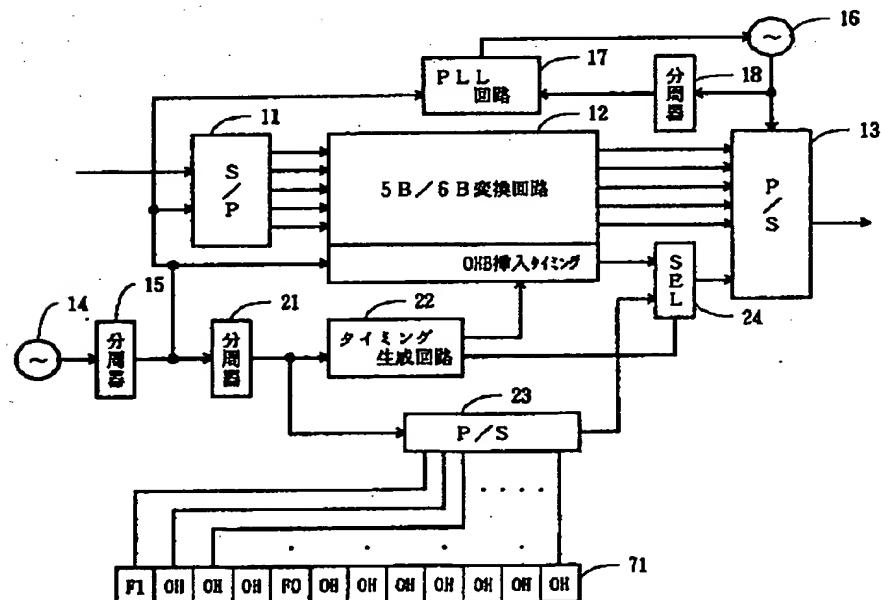
本発明の受信部を示す一実施例

第 3 四



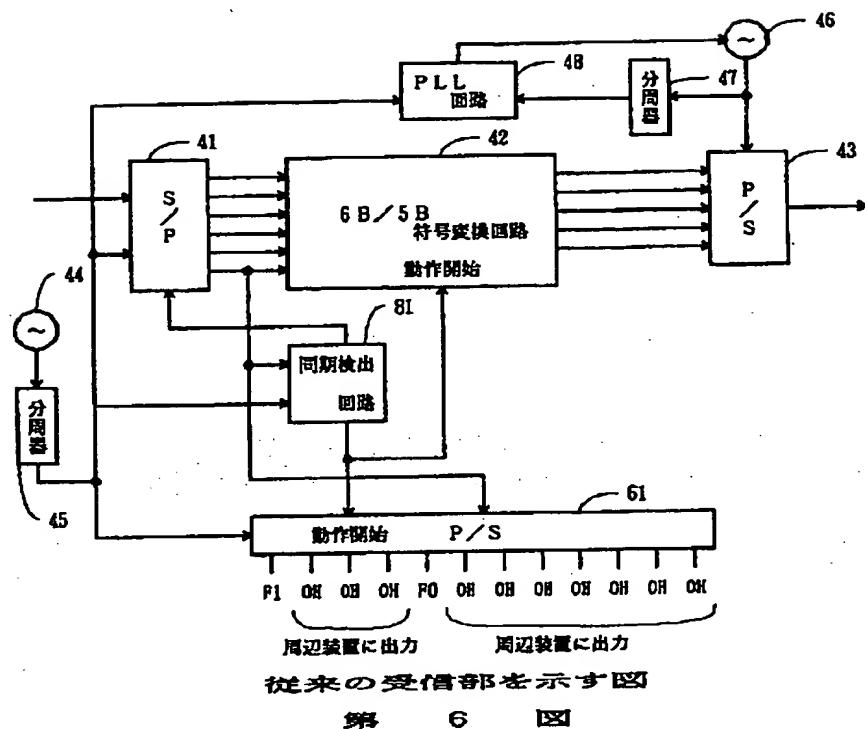
本発明における送受信情報のフレームフォーマットを示す図

第 4 図

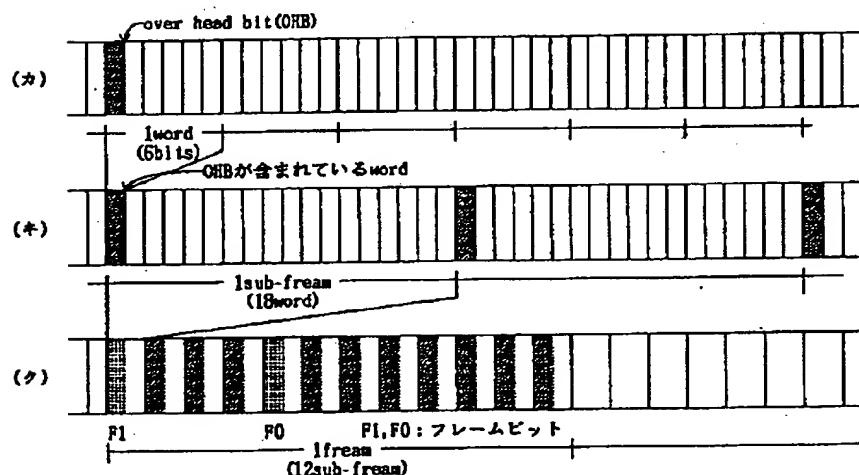


従来の送信部を示す図

第 5 図



第 6 回



本発明における送受信情報のフレームフォーマットを示す図

第 7 四